

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162389

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H01L 29/78

H01L 21/318

H01L 27/04

H01L 21/822

H01L 27/115

H01L 21/8247

H01L 29/788

H01L 29/792

(21)Application number : 07-316171

(71)Applicant : HITACHI LTD

HITACHI MICROCOMPUT SYST LTD

(22)Date of filing : 05.12.1995

(72)Inventor : MIURA YAICHIRO

MATSUI SHUNICHI

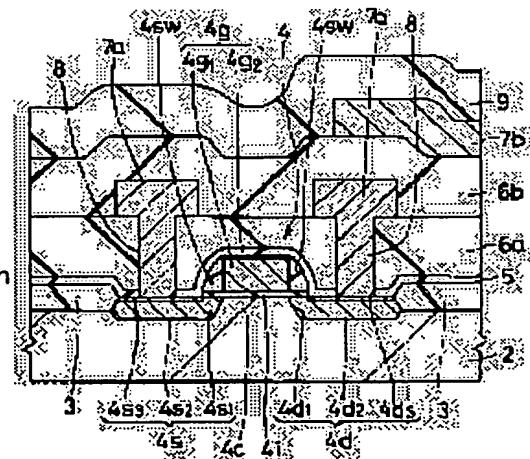
TAKEDA TOSHIFUMI

## (54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent H<sup>+</sup>, etc., contained in an interlayer insulating film from invading into a gate insulating film and suppress the fluctuation of element characteristics by forming the insulating film which contains nitrogen so as to cover the whole MISFET structure semiconductor integrated circuit element on a semiconductor substrate.

**SOLUTION:** On the whole plane of a semiconductor substrate 2, an insulating film 5 formed of silicon nitride, for example, is accumulated, and a field insulating film 3, a source area 4s, a drain area 4d, a side wall 4sw and a gate electrode 4g are covered with the insulating film 5. Since, a MOSFET 4 is almost completely covered with the insulating film 5, H<sup>+</sup>, etc., in the interlayer insulating film on a semiconductor substrate 2 is prevented from invading into the gate insulating film 4i of the MOSFET 4, hot carrier effect due to H<sup>+</sup>, etc., is suppressed. Therefore, the fluctuation of element characteristics, such as the threshold



voltage, etc., of the memory cell can be suppressed.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The manufacture approach of the semiconductor integrated circuit equipment which is the manufacture approach of semiconductor integrated circuit equipment of coming to prepare the semiconductor integrated circuit component of MIS-FET structure on a semi-conductor substrate, and is characterized by having the following processes.

(a) The process which forms the gate electrode of the semiconductor integrated circuit component of said MIS-FET structure on said semi-conductor substrate.

(b) The process which forms the insulator layer containing nitrogen on said semi-conductor substrate so that the whole semiconductor integrated circuit component of said MIS-FET structure may be covered at least.

[Claim 2] The manufacture approach of the semiconductor integrated circuit equipment which is the manufacture approach of semiconductor integrated circuit equipment of coming to prepare the semiconductor integrated circuit component of MIS-FET structure on a semi-conductor substrate, and is characterized by having the following processes.

(a) The process which forms the gate electrode of the semiconductor integrated circuit component of said MIS-FET structure on said semi-conductor substrate.

(b) The process which forms a side-attachment-wall insulator layer in the side attachment wall of said gate electrode.

(c) The process which forms the insulator layer containing nitrogen on the semi-conductor substrate containing said side-attachment-wall insulator layer so that the whole semiconductor integrated circuit component of said MIS-FET structure may be covered at least.

[Claim 3] The manufacture approach of the semiconductor integrated circuit equipment which is the manufacture approach of semiconductor integrated circuit equipment of coming to prepare the semiconductor integrated circuit component of MIS-FET structure on a semi-conductor substrate, and is characterized by having the following processes.

(a) The process which forms the gate electrode of the semiconductor integrated circuit component of said MIS-FET structure on said semi-conductor substrate.

(b) The process which silicide-izes the upper part of the source field of the upper part of said gate electrode, and the semiconductor integrated circuit component of said MIS-FET structure, and a drain field after forming a side-attachment-wall insulator layer in the side attachment wall of said gate electrode.

(c) The process which forms the insulator layer containing nitrogen on the semi-conductor substrate containing said side-attachment-wall insulator layer so that the whole semiconductor integrated circuit component of said MIS-FET structure may be covered at least.

[Claim 4] Semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment which comes to prepare the semiconductor integrated circuit component of MIS-FET structure on a semi-conductor substrate, and is characterized by forming the insulator layer containing nitrogen on said semi-conductor substrate so that the whole semiconductor integrated circuit component of said MIS-FET structure may be covered at least.

[Claim 5] Semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment which comes to prepare the semiconductor integrated circuit component of MIS-FET structure on a semi-conductor substrate, and is characterized by forming the insulator layer containing nitrogen on the semi-conductor substrate containing the side-attachment-wall insulator layer which covers the side attachment wall of the gate electrode in the semiconductor integrated circuit component of said MIS-FET structure so that the whole semiconductor integrated circuit component of said MIS-FET structure may be covered at least.

[Claim 6] Semiconductor integrated circuit equipment characterized by preparing a silicide layer in the upper part of the source field of the upper part of said gate electrode, and the semiconductor integrated circuit component of said MIS-FET structure, and a drain field in semiconductor integrated circuit equipment according to claim 4 or 5.

[Claim 7] Semiconductor integrated circuit equipment characterized by being the one chip microcomputer which has EEPROM which used the semiconductor integrated circuit component of said MIS-FET structure as the non-volatile memory cell, and used said gate electrode as the control gate electrode of said non-volatile memory cell in semiconductor integrated circuit equipment according to claim 4, 5, or 6.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is applied to the semiconductor integrated circuit equipment which has the semiconductor integrated circuit component of MIS-FET structure about the manufacture approach of semiconductor integrated circuit equipment, and a semiconductor integrated circuit equipment technique, and relates to an effective technique.

[0002]

[Description of the Prior Art] In recent years, in semiconductor integrated circuit equipment, miniaturization of an appearance and improvement in the speed of a working speed are advanced quickly. For this reason, detailed-izing and high current driving force-ization are advanced also for MIS-FET (Metal Insulator Semiconductor Field Effect Transistor) which constitutes semiconductor integrated circuit equipment.

[0003] However, with detailed-izing of MIS and FET, or the formation of high current driving force, the internal field of MIS-FET is increasing remarkably and serves as hindrance of the improvement in dependability of MIS-FET. Especially aging of the MIS-FET property resulting from a hot carrier effect and the effect of writing/elimination property and the memory maintenance property of a nonvolatile memory component on MIS and FET form have been a serious technical problem.

[0004] A hot carrier effect is the phenomenon of producing aging of the threshold electrical potential difference of the MIS-FET, or current gain, or reducing data-hold property capacity of a nonvolatile memory component as a result of pouring in the electron and electron hole in which the high electric field produced inside a component had the high energy which causes the electronic breakoff phenomenon and is generated in that case into gate oxide and \*\*\*\*(ing) them.

[0005] moreover, the hydrogen ion with which this hot carrier effect exists in the interlayer insulation film in semiconductor integrated circuit equipment etc. (H+) etc. -- it is spread in gate oxide etc. and accelerated by forming the trapping State is known.

[0006] The improvement by the approach of making the electric field inside a component easing, and the so-called drain engineering is reported by by changing the structure of a drain field as a cure means of such a hot carrier effect like for example, LDD (Lightly Doped Drain) structure or GOLD (Gate Overlapped Drain) structure.

[0007] LDD structure is structure which is made to reduce electric field by making gently-sloping impurity distribution in the boundary section of a drain field and a channel field, and eases a hot carrier effect, when high impurity concentration forms in the channel side edge section of the drain field of MIS and FET the low impurity range which has a low and gently-sloping concentration profile.

[0008] Moreover, by recently, performing nitrogen oxide (NO) processing and dinitrogen-oxide (N<sub>2</sub> O) processing to the gate oxide of MIS-FET is reported by the AII dee em (IEDM) as one cure means of a hot carrier effect. This is the approach that the level itself by which a hot carrier is \*\*\*\*(ed) will be reduced unlike the above-mentioned drain engineering.

[0009] In addition, about a hot carrier effect, Nikkei Business Publications, April 1, 1988 issue, and "Nikkei micro device April, 1988 issue" P58-P64 have a publication, for example, and various structures,

such as LDD structure and GOLD structure, are explained as a cure means of a hot carrier effect.  
[0010]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned technique, this invention person found out that there were the following problems.

[0011] That is, in a drain engineering technique, the current drive capacity of a component declines on the relation which forms a low concentration field in the edge of the source field of MIS-FET, and a drain field, and there is a problem from which improvement in the working speed of semiconductor integrated circuit equipment is prevented.

[0012] moreover — although there is little effect of the current drive capacity on a component in the technique of performing NO processing and N<sub>2</sub>O processing to the gate oxide of MIS-FET — H<sup>+</sup> in an interlayer insulation film preventing — enough — \*\* — it cannot say — a source field side and a drain field side to H<sup>+</sup> It is poured in into gate oxide and there is a problem on which component properties, such as a threshold electrical potential difference and current gain, are changed.

[0013] They are -H<sup>+</sup> and -OH in order to generate an interlayer insulation film at low temperature in the semiconductor integrated circuit equipment which has the multilayer interconnection which consists of aluminum (aluminum) especially. — It contains mostly and fluctuation of the above component properties becomes large.

[0014] The purpose of this invention is in the semiconductor integrated circuit equipment which has the semiconductor integrated circuit component of MIS-FET structure to offer the technique which can raise the current drive capacity of the semiconductor integrated circuit component.

[0015] Moreover, the purpose of this invention is in the semiconductor integrated circuit equipment which has the semiconductor integrated circuit component of MIS-FET structure to offer the technique which can control fluctuation of the component property in the semiconductor integrated circuit component.

[0016] Moreover, the purpose of this invention is in the semiconductor integrated circuit equipment which has the non-volatile memory cell of a MIS-FET form to offer the technique which can raise writing/elimination property and a data-hold property.

[0017] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [ said ] this invention.

[0018]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0019] The manufacture approach of the semiconductor integrated circuit equipment of this invention is the manufacture approach of semiconductor integrated circuit equipment of coming to prepare the semiconductor integrated circuit component of MIS-FET structure on a semi-conductor substrate, and has the following processes.

[0020] (a) The process which forms the gate electrode of the semiconductor integrated circuit component of said MIS-FET structure at least on said semi-conductor substrate.

[0021] (b) The process which forms the insulator layer containing nitrogen so that the whole semiconductor integrated circuit component of said MIS-FET structure on said semi-conductor substrate may be covered.

[0022] moreover, the manufacture approach of the semiconductor integrated circuit equipment of this invention is the manufacture approach of semiconductor integrated circuit equipment of coming to prepare the semiconductor integrated circuit component of MIS-FET structure on a semi-conductor substrate, and has the following processes — it comes out.

[0023] (a) The process which forms the gate electrode of the semiconductor integrated circuit component of said MIS-FET structure on said semi-conductor substrate.

[0024] (b) The process which forms a side-attachment-wall insulator layer in the side attachment wall of said gate electrode.

[0025] (c) The process which forms the insulator layer containing nitrogen on the semi-conductor

substrate containing said side-attachment-wall insulator layer so that the whole semiconductor integrated circuit component of said MIS-FET structure may be covered at least.

[0026] Moreover, on a semi-conductor substrate, the semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment which comes to prepare the semiconductor integrated circuit component of MIS-FET structure, and it forms the insulator layer containing nitrogen on said semi-conductor substrate so that the whole semiconductor integrated circuit component of said MIS-FET structure may be covered at least.

[0027] Moreover, the semiconductor integrated circuit equipment of this invention forms the insulator layer containing nitrogen on the semi-conductor substrate which is semiconductor integrated circuit equipment which comes to prepare the semiconductor integrated circuit component of MIS-FET structure on a semi-conductor substrate, and contains the side-attachment-wall insulator layer which covers the side attachment wall of the gate electrode in the semiconductor integrated circuit component of said MIS-FET structure so that the whole semiconductor integrated circuit component of said MIS-FET structure may be covered at least.

[0028] Moreover, the semiconductor integrated circuit equipment of this invention is an one chip microcomputer which has EEPROM which uses the semiconductor integrated circuit component of said MIS and FET structure as a non-volatile memory cell, and uses said gate electrode as the control gate electrode of said non-volatile memory cell.

[0029]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing (what has the same function in the complete diagram for explaining the gestalt of operation in addition attaches the same sign, and explanation of the repeat is omitted).

[0030] (Gestalt 1 of operation) The explanatory view of a configuration [ in / in drawing 1 / the semiconductor integrated circuit equipment of the gestalt 1 of this operation ], the important section [ drawing 2 / drawing 10 / the important section sectional view of the semiconductor integrated circuit equipment of drawing 1 , drawing 3 - ] sectional view in the production process of the semiconductor integrated circuit equipment of drawing 1 , and drawing 11 are graphical representations which compare the hot carrier effect of the semiconductor integrated circuit equipment of drawing 1 , and the technique in which the insulator layer containing nitrogen is not prepared.

[0031] In the gestalt 1 of this operation, the case where this invention is applied to a microprocessor is explained. Drawing 1 is shown for the configuration of this microprocessor.

[0032] The microprocessor 1 has C cache memory 1CM, decoder circuit 1DC, data structure macro cell 1DS, D cache memory 1DM, and buffer circuit 1CB and 1DB.

[0033] C cache memory 1CM is memory which holds on a target the data transmitted from the outside of a microprocessor 1 temporarily [ reception ]. Decoder circuit 1DC is a circuit which decodes the data (code) transmitted from C cache memory 1CM, and generates a predetermined output signal.

[0034] Data structure macro cell 1DS is a circuit which performs and outputs data processing based on the signal transmitted from decoder circuit 1DC. D cache memory 1DM is memory which stores the result of an operation of data structure macro cell 1DS.

[0035] Buffer circuit 1CB is a circuit which specifies the address for reading the next instruction after data processing from C cache memory 1CM. Buffer circuit 1DB is a circuit which changes the logical address of the result of an operation into the physical address of D cache, and specifies the data storage address.

[0036] The important section sectional view of this microprocessor 1 is shown in drawing 2 . The semiconductor substrate 2 is p. - It consists of a formal silicon (Si) single crystal, and the field insulator layer 3 for isolation is formed in the upper part.

[0037] The field insulator layer 3 consists for example, of diacid-ized silicon (SiO<sub>2</sub>), and MOS-FET4 of an n channel form is formed in the component formation field surrounded by this.

[0038] MOS-FET4 has 4s of source fields of a pair and 4d of drain fields formed in the semi-conductor substrate 2 upper part, channel field 4c formed among these, gate-dielectric-film 4i formed on the semi-



conductor substrate 2, and 4g of gate electrodes formed on it.

[0039] 4s of source fields and 4d of drain fields are 1 4s [ of low concentration fields formed in the channel field 4c side ] 1 or 4d. High concentration field 4s2 and 4d2 which were prepared in the outside Silicide layer 4s3 and 4d3 which were formed in those upper parts It has.

[0040] low concentration field 4s1 and 4d1 And high concentration field 4s2 and 4d2 \*\*\*\* — Lynn of for example, n form impurity or an arsenic (As) is both introduced. The high impurity concentration of 1 is  $9 \times 10^{13}$  to  $1 \times 10^{14}$ —/cm<sup>2</sup> 4s [ of low concentration fields ] 1 or 4d. It is extent. High concentration field 4s2 and 4d2 High impurity concentration is  $3 \times 10^{15}$ —/cm<sup>2</sup>. It is extent.

[0041] Silicide layer 4s3 and 4d3 For example, it consists of tungsten silicide etc. It is possible to be able to reduce a diffused resistor and to raise the working speed of semiconductor integrated circuit equipment by this.

[0042] gate-dielectric-film 4i — for example, SiO<sub>2</sub> from — it becomes. 4g of gate electrodes is 1 4g of conductor layers. Silicide layer 4g2 formed in the upper part It has. Conductor-layer 4g1 It consists of low resistance polish recon, for example, and is 2 4g of silicide layers. For example, it consists of tungsten silicide. Gate length is about 0.4 micrometers.

[0043] Sidewall 4SW for forming LDD structure is formed in the side face of 4g of gate electrodes. sidewall 4SW — for example, SiO<sub>2</sub> from — it becomes.

[0044] By the way, in the gestalt 1 of this operation, all over the semi-conductor substrate 2 top, the insulator layer 5 which consists of silicon nitride has accumulated, and the above-mentioned field insulator layer 3 and 4 above-mentioned of source fields, 4d of drain fields, sidewall 4SW, and 4g of gate electrodes are covered with this insulator layer 5.

[0045] That is, the surroundings of MOS-FET4 are surrounded by the insulator layer 5 nearly completely. H<sup>+</sup> which exists in the interlayer insulation film on the semi-conductor substrate 2 by this etc. — it can prevent invading into gate-dielectric-film 4i of MOS-FET4. for this reason, that H<sup>+</sup> etc. — it is possible to control the originating hot carrier effect. The thickness of this insulator layer 5 is about 12nm.

[0046] On the insulator layer 5, interlayer insulation film 6a which consists of BPSG (Boro Phospho Silicate Glass) etc. has accumulated. Flattening of the top face of interlayer insulation film 6a is carried out. On interlayer insulation film 6a, 1st-layer wiring 7a which consists of for example, a (Aluminum aluminum)-Si-copper (Cu) alloy or a tungsten is formed.

[0047] This 1st-layer wiring 7a is electrically connected with 4s of source fields, and 4d of drain fields through the connection hole 8 punched in the predetermined location of an insulator layer 5 and interlayer insulation film 6a.

[0048] moreover — an interlayer insulation film 6a top — for example, SiO<sub>2</sub> from — becoming interlayer insulation film 6b has accumulated, and 1st-layer wiring 7a is covered with this. while 2nd-layer wiring 7b which consists of for example, an aluminum-Si-Cu alloy or a tungsten is formed in the top face of this interlayer insulation film 6b — SiO<sub>2</sub> from — the becoming surface protective coat 9 has deposited and 2nd-layer wiring 7b is covered with this.

[0049] Next, drawing 3 - drawing 10 explain the manufacture approach of the semiconductor integrated circuit equipment of the gestalt 1 this operation.

[0050] first, it is shown in drawing 3 — as — for example, p- the component isolation region of the semi-conductor substrate 2 which consists of a formal Si single crystal — the field insulator layer 3 — LOCOS (Local Oxidization of Silicon) — after forming by law etc., gate-dielectric-film 4i is formed in the component formation field surrounded by the field insulator layer 3 by the oxidizing [ thermally ] method etc.

[0051] then, the conductor which consists for example, of low resistance polish recon on the semi-conductor substrate 2 — the conductor after depositing the film with a CVD method etc. — by carrying out patterning of the film by the dry etching method etc. shows to drawing 4 — as — conductor-layer 4g1 for gate electrodes to a gate-dielectric-film 4i top It forms.

[0052] Then, this conductor-layer 4g1 As a mask of an ion notes necessity, it is 1 the source field of MOS-FET, and 4s [ of low concentration fields of a drain field ] 1 or 4d to the semi-conductor substrate

2. In order to form, the ion implantation of  $n$  form impurity or the As is carried out.

[0053] subsequently, the semi-conductor substrate 2 top — for example,  $\text{SiO}_2$  from — after depositing the becoming insulator layer with a CVD method etc., by carrying out etchback for example, by the dry etching method etc. shows the insulator layer to drawing 5 — as — conductor-layer 4g1 for gate electrodes Sidewall 4SW is formed in a side face.

[0054] Then, this sidewall 4SW and conductor-layer 4g1 As a mask of an ion notes necessity, in order to form the source field of MOS-FET, and the high concentration field of a drain field in the semi-conductor substrate 2, the ion implantation of  $n$  form impurity or the As is carried out to it.

[0055] Then, by heat-treating to the semi-conductor substrate 2, as shown in drawing 6, it is 1 4s [ of low concentration fields of 4s of source fields, and 4d of drain fields ] 1 or 4d to the upper part of the semi-conductor substrate 2. And high concentration field 4s2 and 4d2 It forms. Thus, MOS-FET4 which has LDD structure is formed.

[0056] On the semi-conductor substrate 2, subsequently, after depositing refractory metal film, such as a tungsten, by the sputtering method etc., for example, by heat-treating to the semi-conductor substrate 2 The metal membrane and semi-conductor substrate 2, and conductor-layer 4g1 As a silicide reaction is produced in the part which contacts and it is shown in drawing 7, it is 1 4s of source fields, 4d of drain fields, and 4g of conductor layers. To the upper part, it is 2 4s [ of silicide layers ] d [ 3 or 4d ] 3 or 4g. It forms.

[0057] Then, as shown in drawing 8, the insulator layer 5 which consists of silicon nitride is deposited with a CVD method etc. all over the semi-conductor substrate 2 top. This covers the field insulator layer 3, 4s of source fields, 4d of drain fields, and the top face of 4g of gate electrodes.

[0058] Then, as shown in drawing 9, after depositing interlayer insulation film 6a which consists of BPSG etc. with a CVD method etc. on an insulator layer 5, the top face is made flat with the reflow method, the etchback method, chemical polishing (CMP:Chemical Mechanical Polishing), or such combination.

[0059] Subsequently, a photolithography technique and a dry etching technique punch the connection hole 8 which 4s of source fields and 4d of drain fields expose to the position of interlayer insulation film 6a and an insulator layer 5.

[0060] Then, by carrying out patterning of the metal membrane with a photolithography technique and a dry etching technique, after depositing the metal membrane which consists of for example, an aluminum-Si-Cu alloy or a tungsten by the sputtering method etc. on the semi-conductor substrate 2, as shown in drawing 10, 1st-layer wiring 7a is formed.

[0061] then, it was shown in drawing 2 — as — an interlayer insulation film 6a top — for example,  $\text{SiO}_2$  from — 1st-layer wiring 7a is covered by depositing becoming interlayer insulation film 6b with a CVD method etc.

[0062] Subsequently, after depositing the metal membrane which consists of for example, an aluminum-Si-Cu alloy or a tungsten by the sputtering method etc. on interlayer insulation film 6b, 2nd-layer wiring 7b is formed by carrying out patterning of the metal membrane with a photolithography technique and a dry etching technique.

[0063] then, an interlayer insulation film 6b top — for example,  $\text{SiO}_2$  from — 2nd-layer wiring 7b is covered by depositing the becoming surface protective coat 9 with a CVD method etc. Thus, the wafer process of semiconductor integrated circuit equipment is ended.

[0064] Next, drawing which compares a hot carrier effect with the case where it does not prepare with the case where the insulator layer 5 which consists of such silicon nitride is formed is shown in drawing 11. The case where a nitride does not have a straight line with the gestalt 1 of this operation of a straight line with \*\* point and O point is shown.

[0065] In the case of the gestalt 1 of this operation, the life cycle by the hot carrier effect is extended about about 3 to 4 times compared with the case where a nitride is not used. That is, it is so long and it is possible to control degradation of the life cycle by the hot carrier effect.

[0066] Thus, according to the gestalt 1 of this operation, it becomes possible to acquire the following

effectiveness.

[0067] (1) . H<sup>+</sup> contained in interlayer insulation film 6a, 6b, etc. by having deposited the insulator layer 5 which consists of silicon nitride etc. all over the semi-conductor substrate 2 top so that the surroundings of MOS-FET4 on the semi-conductor substrate 2 might be surrounded completely etc. — it can prevent invading into gate-dielectric-film 4i of MOS-FET4. for this reason, that H<sup>+</sup> etc. — it becomes possible to control the originating hot carrier effect.

[0068] (2) . above (1) It becomes possible to suppress changing component properties, such as a threshold electrical potential difference of MOS and FET4, and current gain. Therefore, it becomes possible to raise the yield, repeatability, and dependability of the microprocessor 1 which has MOS and FET4.

[0069] (3) . above (1) the channel field 4c side edge section of 4d of drain fields in MOS-FET4 — low concentration field 4d1 the case where it forms — H<sup>+</sup> etc. — the part which can control the originating hot carrier effect, and its low concentration field 4d1 High impurity concentration can be set up comparatively more highly. For this reason, since resistance between 4s of source fields in MOS-FET4 and 4d of drain fields can be lowered, it becomes possible to raise the current drive capacity of MOS and FET4. Therefore, it becomes possible to raise the working speed of the microprocessor 1 which has MOS and FET4.

[0070] (Gestalt 2 of operation) An explanatory view for an explanatory view for drawing 12 to explain the configuration of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention, and drawing 13 to explain the configuration of the memory area of drawing 12 , and drawing 14 are the important section sectional views of the semiconductor integrated circuit equipment of drawing 12 .

[0071] In the gestalt 2 of this operation, the case where this invention is applied to an one chip microcomputer is explained. This one chip microcomputer is shown in drawing 11 .

[0072] The one chip microcomputer 10 has the flash memory section FLM, interrupt controller INTC (Interrupt Controller), input/output port I/O, Timer T, various kinds of circumference machines, such as analog-to-digital converter A/D, etc. in one semiconductor chip focusing on the central-process section CPU (Central Processor Unit).

[0073] This central-process section CPU is a circuit which performs predetermined data processing. The flash memory section FLM is comparatively mass memory which memorizes a program. Interrupt controller INTC is a circuit which is in the middle of program execution, and performs other programs.

[0074] Input/output port I/O is a circuit which makes connection with an external peripheral device, reads data or transmits the result of an operation etc. to the exterior. Timer T is a circuit for generating the timing signal for taking the synchronization of each actuation, or measuring time amount progress. Analog-to-digital converter A/D is a circuit which performs conversion with an analog signal and a digital signal.

[0075] Next, drawing 13 explains the configuration of the flash memory section FLM of such an one chip microcomputer 10. In addition, in drawing 13 , Vcc shows power-source potential and Vss shows touch-down potential.

[0076] In the memory cell field M of the flash memory section FLM, two or more non-volatile memory cells (only henceforth a memory cell) mentioned later are arranged regularly.

[0077] This memory cell is a smallest unit of memory which memorizes either among the binary data of High (it only abbreviates to "H" hereafter) signal level, or Low (it only abbreviates to "L" hereafter) signal level.

[0078] Row address buffer circuit XADB is a circuit which forms an internal row address signal based on the row address signal AX, and supplies it to row address decoder circuit XDRC while incorporating and holding the row address signal AX to predetermined timing.

[0079] Row address decoder circuit XDRC is a circuit which chooses one predetermined word line in response to the internal row address signal from row address buffer circuit XADB. In addition, Vrw, Vww, Vvw, Vew, and Vev are the built-in electrical potential differences supplied from the built-in power

circuit VS.

[0080] Column address buffer circuit YADB is a circuit which forms an internal column address signal based on the column address signal AY, and supplies it to column address decoder circuit YDCR while incorporating and holding the column address signal AY to predetermined timing.

[0081] Moreover, column address decoder circuit YDCR is a circuit which finally chooses one predetermined Main bit line through the column gate array circuit YG in response to the internal column address signal from column address buffer circuit YADB.

[0082] The data latch circuit DR is a circuit which holds temporarily write-in data or read-out data. Moreover, the sense amplifier circuit SA is a circuit which detects and amplifies the minute electrical potential difference (or current) transmitted to the Main bit line, and is electrically connected with the data output buffer circuit DOB and data input buffer circuit DIB through the column gate array circuit YG. In addition, Vrd and Vwd are the built-in electrical potential differences supplied from the built-in power circuit VS.

[0083] The data output buffer circuit DOB is a circuit for amplifying so that the signal read from the memory cell can be transmitted to an external device, without making it decrease in an intermediate wiring path, and is electrically connected with external I/O terminal I/OT through the multiplexer circuit MP.

[0084] Moreover, it writes in, and data input buffer circuit DIB is a circuit for setting an entry-of-data signal as the potential suitable for an internal circuitry transmitted from the outside, and is electrically connected with external I/O terminal I/OT through the multiplexer circuit MP.

[0085] the circuit which writes in the modal control circuit MC based on the control signal supplied from control signal buffer circuit CSB, and controls actuation in the modes, such as elimination and read-out, — it is — row address buffer circuit XADB, column address buffer circuit YADB, data input buffer circuit DIB, data output buffer circuit DOB, the source, and a well — it connects with the potential switch circuit SVC, external terminal R/B, etc. electrically.

[0086] In addition, Vec shows the built-in electrical potential difference supplied from the built-in power circuit VS. Moreover, /CE, /OE, /WE, and SC show the control signal terminal for transmitting the signal for control of a chip enable signal, an output enable signal, a write enable signal, etc. This "/" means an active low (Active Low) signal.

[0087] Next, the important section sectional view in the flash memory section FLM of the one chip microcomputer 10 of the gestalt 2 of this operation is shown in drawing 14 .

[0088] The semi-conductor substrate 2 is p. — It consists of a formal Si single crystal, and the field insulator layer 3 is formed in the component isolation region of the upper part. this field insulator layer 3 — for example, SiO<sub>2</sub> from — it becomes and the memory cell MC which has bilayer gate electrode structure is formed in the component formation field surrounded by this.

[0089] Lynn of for example, n form impurity or As is introduced, and 4s of source fields and 4d of drain fields which constitute a memory cell MC are constituted by the upper part of the semi-conductor substrate 2. In addition, silicide layer 4s3 and 4d3 which become the upper part of 4s of source fields, and 4d of drain fields for example, from tungsten silicide It is formed.

[0090] 4f (floating-gate electrode) of floating-gate electrodes which constitute a memory cell MC is an electrode for accumulating the charge contributed to informational storage, for example, they consist of low resistance polish recon. In addition, 4f of floating-gate electrodes is formed on gate-dielectric-film 4i. this gate-dielectric-film 4i — for example, SiO<sub>2</sub> from — it becomes.

[0091] moreover, the electrode for controlling migration of the charge, in case control gate electrode (control gate electrode) 4cg which constitutes a memory cell MC pours a charge into 4f of floating-gate electrodes or the charge of 4f of floating-gate electrodes is emitted to the semi-conductor substrate 2 side — it is — conductor-layer 4cg1 Silicide layer 4cg2 formed in the upper layer from — it is constituted.

[0092] This conductor-layer 4cg1 It consists of low resistance polish recon, for example, and is silicide layer 4cg2. For example, it consists of tungsten silicide. this control gate electrode 4cg — 4f top of

floating-gate electrodes — for example, SiO<sub>2</sub> from — becoming insulator layer 4 i2 It is minded and formed.

[0093] in addition — 4f of floating-gate electrodes, and the side face of control gate electrode 4cg — for example, SiO<sub>2</sub> from — becoming sidewall 4SW is formed.

[0094] By the way, also in the gestalt 2 of this operation, all over the semi-conductor substrate 2 top, the insulator layer 5 which consists of silicon nitride has accumulated, and the above-mentioned field insulator layer 3 and 4 above-mentioned of source fields, 4d of drain fields, sidewall 4SW, and control gate electrode 4cg are covered with this insulator layer 5.

[0095] That is, the surroundings of a memory cell MC are surrounded by the insulator layer 5 nearly completely. H<sup>+</sup> which exists by this in interlayer insulation film 6a on the semi-conductor substrate 2, and 6b etc. — it can prevent invading into gate-dielectric-film 4i of a memory cell MC. for this reason, that H<sup>+</sup> etc. — it is possible to control the originating hot carrier effect. The thickness of this insulator layer 5 is about 12nm.

[0096] Interlayer insulation film 6a has accumulated on such a semi-conductor substrate 2. this interlayer insulation film 6a — for example, SiO<sub>2</sub> from — it becomes and the Maine bit line BL is formed in that top face. It consists of an aluminum-Si-Cu alloy, and this Maine bit line BL is electrically connected with 4d of drain fields through the connection hole 8 punched at interlayer insulation film 6a.

[0097] Interlayer insulation film 6b has accumulated on interlayer insulation film 6a. interlayer insulation film 6b — for example, SiO<sub>2</sub> from — it becomes and the Maine bit line BL is covered with this. The word line WL is formed on interlayer insulation film 6b.

[0098] A word line WL consists for example, of an aluminum-Si-Cu alloy, and is electrically connected with control gate electrode 4cg through the connection hole punched at interlayer insulation film 6b. in addition, SiO<sub>2</sub> which deposited this word line WL on interlayer insulation film 6b from — it is covered with the becoming surface protective coat 9.

[0099] Thus, in the gestalt 2 of this operation, it becomes possible to acquire the following effectiveness.

[0100] (1) . H<sup>+</sup> contained in interlayer insulation film 6a, 6b, etc. by having deposited the insulator layer 5 which consists of silicon nitride etc. all over the semi-conductor substrate 2 top so that the surroundings of the memory cell MC on the semi-conductor substrate 2 might be surrounded completely etc. — it can prevent invading into gate-dielectric-film 4i of a memory cell MC. for this reason, that H<sup>+</sup> etc. — it becomes possible to control the originating hot carrier effect.

[0101] (2) . above (1) It becomes possible to suppress changing component properties, such as a threshold electrical potential difference of a memory cell MC, and current gain. For this reason, it becomes possible to raise writing/elimination property and the data-hold property of a flash memory FLM. Therefore, it becomes possible to raise the yield, repeatability, and dependability of an one chip microcomputer 10.

[0102] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of operation, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt 1 of said operation and 2, and does not deviate from the summary.

[0103] For example, in the gestalt 1 of said operation, and 2, although the technique of preparing a silicide layer in the upper part of a source field, a drain field, and a gate electrode was explained, it is not limited to this and refractory metals, such as a tungsten, may be variously prepared in the upper part of a source field, a drain field, and a gate electrode that it can change. There is the approach of forming by putting a refractory metal as the formation approach with the so-called selection CVD method alternatively put on the exposed part of a semi-conductor with a CVD method etc.

[0104] moreover, the insulator layer which is not limited to this and contains nitrogen although the gestalt 1 of said operation and 2 explained the case where the insulator layer which contains nitrogen the whole surface on a semi-conductor substrate was deposited — MOS-FET — or a memory cell — a wrap — like — namely, a source field, a drain field, and the gate electrode between them (a floating-gate electrode and a control gate electrode are included) — a wrap — you may form like.

[0105] Although the above explanation explained the case where invention mainly made by this invention person was applied to the microprocessor or one chip microcomputer technique which is a field of the invention used as the background, it is not limited to it and can apply to other semiconductor integrated circuit equipments, such as other semiconductor memory circuits, such as other logical circuits, DRAM (Dynamic Random Access Memory), and SRAM (Static Random Access Memory), or a simple substance flash memory (EEPROM) circuit. This invention is applicable to the semiconductor integrated circuit equipment which has the semiconductor integrated circuit component of MIS-FET structure at least.

[0106]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.

[0107] (1) So that the whole semiconductor integrated circuit component of MIS-FET structure may be covered even if few [ on a semi-conductor substrate ] after forming the gate electrode of the semiconductor integrated circuit component of MIS and FET structure according to the manufacture approach of the semiconductor integrated circuit equipment of . this invention Since the whole semiconductor integrated circuit component of MIS and FET structure can be covered with the insulator layer by forming the insulator layer containing nitrogen H<sup>+</sup> contained in an interlayer insulation film etc. etc. — it can prevent invading into the gate dielectric film of the semiconductor integrated circuit component of MIS-FET structure. for this reason, that H<sup>+</sup> etc. — since the originating hot carrier effect can be controlled, it becomes possible to suppress fluctuation of component properties, such as a threshold electrical potential difference of the semiconductor integrated circuit component of MIS and FET structure, and current gain. Therefore, it becomes possible to raise the yield, repeatability, and dependability of the semiconductor integrated circuit equipment which has the semiconductor integrated circuit component of MIS-FET structure.

[0108] (2) After forming a side-attachment-wall insulator layer in the side attachment wall of the gate electrode in the semiconductor integrated circuit component of MIS-FET structure according to the manufacture approach of the semiconductor integrated circuit equipment of . this invention, By forming the insulator layer on the semi-conductor substrate containing the side-attachment-wall insulator layer which contains nitrogen so that the whole semiconductor integrated circuit component of MIS-FET structure may be covered at least H<sup>+</sup> contained in an interlayer insulation film etc. etc. — since it can prevent invading into the gate dielectric film of the semiconductor integrated circuit component of MIS-FET structure — the H<sup>+</sup> etc. — the originating hot carrier effect can be controlled. therefore — the case where a low concentration field is formed in the channel side edge section of the drain field in the semiconductor integrated circuit component of MIS-FET structure — H<sup>+</sup> etc. — the high impurity concentration of the part which can control the originating hot carrier effect, and its low concentration field can be set up comparatively more highly. Therefore, since resistance between the source field in the semiconductor integrated circuit component of MIS and FET structure and a drain field can be lowered, it becomes possible to raise the current drive capacity of the semiconductor integrated circuit component. Therefore, it becomes possible to raise the working speed of the semiconductor integrated circuit equipment which has the semiconductor integrated circuit component of MIS-FET structure.

[0109] (3) — H<sup>+</sup> which is contained in an interlayer insulation film etc. by having formed the insulator layer on a semi-conductor substrate which contains nitrogen so that the whole semiconductor integrated circuit component of MIS-FET structure may be covered at least according to the semiconductor integrated circuit equipment of . this invention etc. — it can prevent invading into the gate dielectric film of the semiconductor integrated circuit component of MIS-FET structure. for this reason, that H<sup>+</sup> etc. — since the originating hot carrier effect can be controlled, it becomes possible to suppress fluctuation of component properties, such as a threshold electrical potential difference of the semiconductor integrated circuit component of MIS and FET structure, and current gain. Therefore, it becomes possible to raise the yield, repeatability, and dependability of the semiconductor integrated circuit equipment which has the semiconductor integrated circuit component of MIS-FET structure.

[0110] (4) According to the semiconductor integrated circuit equipment of . this invention By having

prepared the insulator layer on the semi-conductor substrate containing the side-attachment-wall insulator layer of the side attachment wall of the gate electrode in the semiconductor integrated circuit component of MIS-FET structure which contains nitrogen so that the whole semiconductor integrated circuit component of said MIS-FET structure may be covered at least  $H^+$  contained in an interlayer insulation film etc. etc. — since it can prevent invading into the gate dielectric film of the semiconductor integrated circuit component of MIS-FET structure — the  $H^+$  etc. — the originating hot carrier effect can be controlled. therefore — the case where a low concentration field is established in the channel side edge section of the drain field in the semiconductor integrated circuit component of MIS-FET structure —  $H^+$  etc. — the high impurity concentration of the part which can control the originating hot carrier effect, and its low concentration field can be set up comparatively more highly. Therefore, since resistance between the source field in the semiconductor integrated circuit component of MIS and FET structure and a drain field can be lowered, it becomes possible to raise the current drive capacity of the semiconductor integrated circuit component. Therefore, it becomes possible to raise the working speed of the semiconductor integrated circuit equipment which has the semiconductor integrated circuit component of MIS-FET structure.

[0111] (5) —  $H^+$  which is contained in an interlayer insulation film etc. by having prepared the insulator layer on a semi-conductor substrate which contains nitrogen so that the whole non-volatile memory cell of MIS-FET structure may be covered at least according to the semiconductor integrated circuit equipment of . this invention etc. — it can prevent invading into the gate dielectric film of the non-volatile memory cell. for this reason, that  $H^+$  etc. — since the originating hot carrier effect can be controlled, fluctuation of component properties, such as a threshold electrical potential difference of that non-volatile memory cell and current gain, can be suppressed. Therefore, it becomes possible to raise writing/elimination property and the data-hold property of the semiconductor integrated circuit equipment which has the non-volatile memory cell.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the explanatory view of the configuration in the semiconductor integrated circuit equipment of the gestalt 1 of this operation.

[Drawing 2] It is the important section sectional view of the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 3] It is an important section sectional view in the production process of the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 4] It is an important section sectional view in the production process following drawing 3 of the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 5] It is an important section sectional view in the production process following drawing 4 of the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 6] It is an important section sectional view in the production process following drawing 5 of the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 7] It is an important section sectional view in the production process following drawing 6 of the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 8] It is an important section sectional view in the production process following drawing 7 of the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 9] It is an important section sectional view in the production process following drawing 8 of the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 10] It is an important section sectional view in the production process following drawing 9 of the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 11] It is the graphical representation which compares the hot carrier effect of the semiconductor integrated circuit equipment of drawing 1 , and the technique in which the insulator layer containing nitrogen is not prepared.

[Drawing 12] It is an explanatory view for explaining the configuration of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.

[Drawing 13] It is an explanatory view for explaining the configuration of the memory area of drawing 12 .

[Drawing 14] It is the important section sectional view of the semiconductor integrated circuit equipment of drawing 12 .

**[Description of Notations]**

- 1 Microprocessor (Semiconductor Integrated Circuit Equipment)
- 2 Semi-conductor Substrate
- 3 Field Insulator Layer
- 4 MOS and FET
- 4s Source field
- 4s1 Low concentration field
- 4s2 High concentration field
- 4s3 Silicide layer
- 4d Drain field



4d1 Low concentration field  
4d2 High concentration field  
4d3 Silicide layer  
4c Channel field  
4g Gate electrode  
4g1 Conductor layer  
4g2 Silicide layer  
4i Gate dielectric film  
4 i2 Insulator layer  
4SW(s) Sidewall (side-attachment-wall insulator layer)  
4f Floating-gate electrode (floating-gate electrode)  
4cg(s) Control gate electrode (control gate electrode)  
4cg(s)1 Conductor layer  
4cg(s)2 Silicide layer  
5 Insulator Layer  
6a, 6b Interlayer insulation film  
7a The 1st-layer wiring  
7b The 2nd-layer wiring  
8 Connection Hole  
9 Surface Protective Coat  
10 One Chip Microcomputer (Semiconductor Integrated Circuit Equipment)  
1CM C cache memory  
1DC Decoder circuit  
1DS Data structure macro cell  
1DM D cache memory  
1CB, 1DB Buffer circuit  
CPU Central-process section  
FLM Flash memory section  
INTC Interrupt controller  
I/O Input/output port  
I/OT External I/O terminal  
T Timer  
A/D Analog-to-digital converter  
M Memory cell field  
MC Memory cell  
WL Word line  
BL Main bit line  
XADB Row address buffer circuit  
AX Row address signal  
XDCR Row address decoder circuit  
Vrw, Vww, Vwv, Vew, Vev, Vrd, Vwd, Vec Built-in electrical potential difference  
VS Built-in power circuit  
YADB Column address buffer circuit  
AY Column address signal  
YDCR Column address decoder circuit  
YG Column gate array circuit  
DR Data latch circuit  
SA Sense amplifier circuit  
DOB Data output buffer circuit  
DIB Data input buffer circuit

MP Multiplexer circuit  
MC Modal control circuit  
CSB Control signal buffer circuit  
SVC the source and a well — potential switch circuit  
R/B External terminal  
/CE, /OE, /WE, SC Control signal terminal

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-162389

(43)公開日 平成9年(1997)6月20日

(51)Int.Cl. <sup>6</sup>	識別記号	F I			
H01L 29/78		H01L 29/78	301	N	
21/318		21/318		B	
27/04		27/04		H	
21/822		27/10	434		
27/115		29/78	371		
		審査請求 未請求 請求項の数 7	O L	(全13頁)	最終頁に続く

(21)出願番号	特願平7-316171	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成7年(1995)12月5日	(71)出願人	000233169 株式会社日立マイコンシステム 東京都小平市上水本町5丁目22番1号
		(72)発明者	三浦 弥一郎 東京都小平市上水本町5丁目22番1号 株 式会社日立マイコンシステム内
		(72)発明者	松井 俊一 東京都小平市上水本町5丁目22番1号 株 式会社日立マイコンシステム内
		(74)代理人	弁理士 筒井 大和

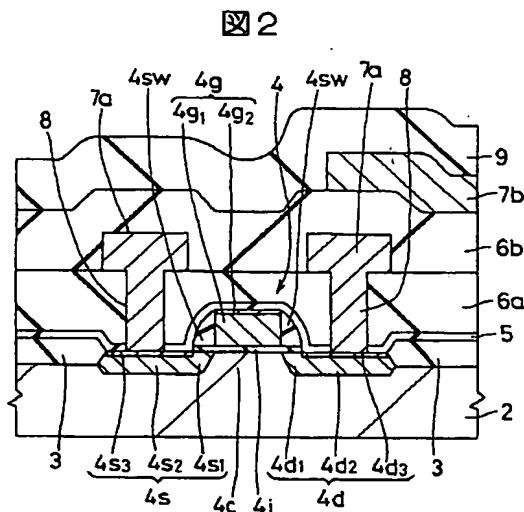
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

(57) 【要約】

【課題】 MIS・FET構造の半導体集積回路素子を有する半導体集積回路装置において、その半導体集積回路素子における素子特性の変動を抑制する。

【解決手段】 半導体基板 2 上に形成された MOS・FET 4 の全体を被覆するように、半導体基板 2 の上面全体に、窒化シリコンからなる絶縁膜 5 を形成することにより、層間絶縁膜 6 a、6 b 中の水素イオン等が MOS・FET 4 のゲート絶縁膜 4 i 中に入るのを阻止する構造とした。



- |                           |               |
|---------------------------|---------------|
| 2 : 半導体基板                 | 6 a : 居間地線層   |
| 4 : MOS・FET               | 8 b : 居間地線層   |
| 4 s : ソース領域               | 7 a : 第 1 層配線 |
| 4 d : ドレイン領域              | 7 b : 第 2 層配線 |
| 4 c : チャネル領域              |               |
| 4 l : ゲート絶縁膜              |               |
| 4 g : ゲート電極               |               |
| 4 g <sub>1</sub> : シリサイド層 |               |
| 4 sw : サイドウォール (側壁絶縁膜)    |               |

## 【特許請求の範囲】

【請求項1】 半導体基板上にMIS・FET構造の半導体集積回路素子を設けてなる半導体集積回路装置の製造方法であって、以下の工程を有することを特徴とする半導体集積回路装置の製造方法。

(a) 前記半導体基板上に前記MIS・FET構造の半導体集積回路素子のゲート電極を形成する工程。

(b) 前記半導体基板上の少なくとも前記MIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成する工程。

【請求項2】 半導体基板上にMIS・FET構造の半導体集積回路素子を設けてなる半導体集積回路装置の製造方法であって、以下の工程を有することを特徴とする半導体集積回路装置の製造方法。

(a) 前記半導体基板上に前記MIS・FET構造の半導体集積回路素子のゲート電極を形成する工程。

(b) 前記ゲート電極の側壁に側壁絶縁膜を形成する工程。

(c) 前記側壁絶縁膜を含む半導体基板上の少なくとも前記MIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成する工程。

【請求項3】 半導体基板上にMIS・FET構造の半導体集積回路素子を設けてなる半導体集積回路装置の製造方法であって、以下の工程を有することを特徴とする半導体集積回路装置の製造方法。

(a) 前記半導体基板上に前記MIS・FET構造の半導体集積回路素子のゲート電極を形成する工程。

(b) 前記ゲート電極の側壁に側壁絶縁膜を形成した後、前記ゲート電極の上部および前記MIS・FET構造の半導体集積回路素子のソース領域およびドレイン領域の上部をシリサイド化する工程。

(c) 前記側壁絶縁膜を含む半導体基板上の少なくとも前記MIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成する工程。

【請求項4】 半導体基板上にMIS・FET構造の半導体集積回路素子を設けてなる半導体集積回路装置であって、前記半導体基板上の少なくとも前記MIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成したことを特徴とする半導体集積回路装置。

【請求項5】 半導体基板上にMIS・FET構造の半導体集積回路素子を設けてなる半導体集積回路装置であって、前記MIS・FET構造の半導体集積回路素子におけるゲート電極の側壁を被覆する側壁絶縁膜を含む半導体基板上の少なくとも前記MIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成したことを特徴とする半導体集積回路装置。

【請求項6】 請求項4または5記載の半導体集積回路装置において、前記ゲート電極の上部および前記MIS

・FET構造の半導体集積回路素子のソース領域およびドレイン領域の上部にシリサイド層を設けたことを特徴とする半導体集積回路装置。

【請求項7】 請求項4、5または6記載の半導体集積回路装置において、前記MIS・FET構造の半導体集積回路素子を不揮発性メモリセルとし、前記ゲート電極を前記不揮発性メモリセルの制御ゲート電極としたEEPROMを有するワンチップマイコンであることを特徴とする半導体集積回路装置。

## 10 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、MIS・FET構造の半導体集積回路素子を有する半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来技術】近年、半導体集積回路装置においては、外観の小形化および動作速度の高速化が急速に進められている。このため、半導体集積回路装置を構成するMIS・FET (Metal Insulator Semiconductor Field Effect Transistor)も微細化および高電流駆動力化が進められている。

【0003】しかし、MIS・FETの微細化や高電流駆動力化に伴って、MIS・FETの内部電界が著しく増大しており、MIS・FETの信頼性向上の妨げとなっている。特に、ホットキャリア効果に起因するMIS・FET特性の経時変化やMIS・FET形の不揮発性メモリ素子の書き込み/消去特性およびメモリ保持特性への影響は重大課題となっている。

【0004】ホットキャリア効果とは、素子内部に生じる高電界が電子の離脱現象を引き起こし、その際に発生する高エネルギーを持った電子や正孔がゲート酸化膜中に注入、捕縛される結果、そのMIS・FETのしきい値電圧や電流利得の経時変化を生じさせたり、あるいは不揮発性メモリ素子のデータ保持特性能力を低下させたりする現象である。

【0005】また、このホットキャリア効果は、半導体集積回路装置内の層間絶縁膜等に存在している水素イオン(H<sup>+</sup>)等がゲート酸化膜等に拡散し、トラッピング状態を形成することにより加速されることが知られている。

【0006】このようなホットキャリア効果の対策手段として、例えばLDD (Lightly Doped Drain)構造やGOLD (Gate Overlapped Drain)構造等のようにドレイン領域の構造を変更することにより、素子内部の電界を緩和させる方法、いわゆるドレインエンジニアリングによる改善が報告されている。

【0007】LDD構造は、MIS・FETのドレイン領域のチャネル側端部に不純物濃度が低く、かつ、なだ

らかな濃度プロファイルを有する低不純物領域を形成することにより、ドレイン領域とチャネル領域との境界部での不純物分布をなだらかにすることで電界を低減させ、ホットキャリア効果を緩和する構造である。

【0008】また、最近では、ホットキャリア効果の一つの対策手段として、例えばMIS・FETのゲート酸化膜に酸化窒素(N<sub>2</sub>O)処理や一酸化二窒素(N<sub>2</sub>O)処理を施すことがアイイーディーエム(IE<sub>2</sub>DM)等でも報告されている。これは、上記したドレインエンジニアリングとは異なり、ホットキャリアが捕縛される準位そのものを低減させようというアプローチである。

【0009】なお、ホットキャリア効果については、例えば日経BP社、1988年4月1日発行、「日経マイクロデバイス 1988年4月号」P58～P64に記載があり、ホットキャリア効果の対策手段として、LDD構造やGOLD構造等のような種々の構造について説明されている。

【0010】

【発明が解決しようとする課題】しかし、上記した技術においては、以下の問題があることを本発明者は見出した。

【0011】すなわち、ドレインエンジニアリング技術においては、MIS・FETのソース領域およびドレイン領域の端部に低濃度領域を形成する関係上、素子の電流駆動能力が低下し、半導体集積回路装置の動作速度の向上が阻害される問題がある。

【0012】また、MIS・FETのゲート酸化膜にN<sub>2</sub>O処理やN<sub>2</sub>O処理を施す技術においては、素子の電流駆動能力への影響は少ないが、層間絶縁膜中のH<sup>+</sup>を阻止するのに充分と言えず、ソース領域やドレイン領域側からH<sup>+</sup>がゲート酸化膜中に注入され、しきい値電圧や電流利得等のような素子特性が変動してしまう問題がある。

【0013】特に、アルミニウム(Al)からなる多層配線を有する半導体集積回路装置においては、層間絶縁膜を低温で生成するため、-H<sup>+</sup>、-OH<sup>+</sup>を多く含んでおり、上述のような素子特性の変動が大きくなる。

【0014】本発明の目的は、MIS・FET構造の半導体集積回路素子を有する半導体集積回路装置において、その半導体集積回路素子の電流駆動能力を向上させることのできる技術を提供することにある。

【0015】また、本発明の目的は、MIS・FET構造の半導体集積回路素子を有する半導体集積回路装置において、その半導体集積回路素子における素子特性の変動を抑制することのできる技術を提供することにある。

【0016】また、本発明の目的は、MIS・FET形の不揮発性メモリセルを有する半導体集積回路装置において、書き込み/消去特性やデータ保持特性を向上させることのできる技術を提供することにある。

【0017】本発明の前記ならびにその他の目的と新規

な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】本発明の半導体集積回路装置の製造方法は、半導体基板上にMIS・FET構造の半導体集積回路素子を設けてなる半導体集積回路装置の製造方法であって、以下の工程を有するものである。

【0020】(a) 前記半導体基板上に少なくとも前記MIS・FET構造の半導体集積回路素子のゲート電極を形成する工程。

【0021】(b) 前記半導体基板上の前記MIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成する工程。

【0022】また、本発明の半導体集積回路装置の製造方法は、半導体基板上にMIS・FET構造の半導体集積回路素子を設けてなる半導体集積回路装置の製造方法であって、以下の工程を有するものである。

【0023】(a) 前記半導体基板上に前記MIS・FET構造の半導体集積回路素子のゲート電極を形成する工程。

【0024】(b) 前記ゲート電極の側壁に側壁絶縁膜を形成する工程。

【0025】(c) 前記側壁絶縁膜を含む半導体基板上の少なくとも前記MIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成する工程。

【0026】また、本発明の半導体集積回路装置は、半導体基板上にMIS・FET構造の半導体集積回路素子を設けてなる半導体集積回路装置であって、前記半導体基板上の少なくとも前記MIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成したものである。

【0027】また、本発明の半導体集積回路装置は、半導体基板上にMIS・FET構造の半導体集積回路素子を設けてなる半導体集積回路装置であって、前記MIS・FET構造の半導体集積回路素子におけるゲート電極の側壁を被覆する側壁絶縁膜を含む半導体基板上の少なくとも前記MIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成したものである。

【0028】また、本発明の半導体集積回路装置は、前記MIS・FET構造の半導体集積回路素子在不揮発性メモリセルとし、前記ゲート電極を前記不揮発性メモリセルの制御ゲート電極とするEEPROMを有するワンチップマイコンである。

【0029】

【発明の実施の形態】以下、本発明の実施の形態を図面

に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0030】（実施の形態1）図1は本実施の形態1の半導体集積回路装置における構成の説明図、図2は図1の半導体集積回路装置の要部断面図、図3～図10は図1の半導体集積回路装置の製造工程における要部断面図、図11は図1の半導体集積回路装置と窒素を含有する絶縁膜を設けない技術とのホットキャリア効果を比較するグラフ図である。

【0031】本実施の形態1においては、本発明を、例えばマイクロプロセッサに適用した場合について説明する。このマイクロプロセッサの構成を図1を示す。

【0032】マイクロプロセッサ1は、Cキャッシュメモリ1CMと、デコード回路1DCと、データストラクチャマクロセル1DSと、Dキャッシュメモリ1DMと、バッファ回路1CB、1DBとを有している。

【0033】Cキャッシュメモリ1CMは、マイクロプロセッサ1の外部から伝送されたデータを受け取り一時的に保持するメモリである。デコード回路1DCは、Cキャッシュメモリ1CMから伝送されたデータ（コード）を解読して、所定の出力信号を発生する回路である。

【0034】データストラクチャマクロセル1DSは、デコード回路1DCから伝送された信号に基づいて演算処理を実行して出力する回路である。Dキャッシュメモリ1DMは、データストラクチャマクロセル1DSの演算結果を格納するメモリである。

【0035】バッファ回路1CBは、演算処理後の次の命令をCキャッシュメモリ1CMから読み出すためのアドレスを指定する回路である。バッファ回路1DBは、演算結果の論理アドレスをDキャッシュの物理アドレスに変換してデータ格納アドレスを指定する回路である。

【0036】このマイクロプロセッサ1の要部断面図を図2に示す。半導体基板2は、例えばp<sup>+</sup>形のシリコン（Si）単結晶からなり、その上部には、素子分離用のフィールド絶縁膜3が形成されている。

【0037】フィールド絶縁膜3は、例えば二酸化シリコン（SiO<sub>2</sub>）からなり、これに囲まれた素子形成領域には、例えばnチャネル形のMOS・FET4が形成されている。

【0038】MOS・FET4は、半導体基板2上部に形成された一対のソース領域4sおよびドレイン領域4dと、これらの間に形成されたチャネル領域4cと、半導体基板2上に形成されたゲート絶縁膜4iと、その上に形成されたゲート電極4gとを有している。

【0039】ソース領域4sおよびドレイン領域4dは、チャネル領域4c側に形成された低濃度領域4s1、4d1と、その外側に設けられた高濃度領域4s2、4d2と、それらの上部に形成されたシリサイド層4s3、4d3とを有している。

【0040】低濃度領域4s1、4d1および高濃度領域4s2、4d2には、共に、例えばn形不純物のリンまたはヒ素（As）が導入されている。低濃度領域4s1、4d1の不純物濃度は、例えば $9 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 程度である。高濃度領域4s2、4d2の不純物濃度は、例えば $3 \times 10^{15} / \text{cm}^2$ 程度である。

【0041】シリサイド層4s3、4d3は、例えばタンゲステンシリサイド等からなる。これにより、拡散抵抗を低減することができ、半導体集積回路装置の動作速度を向上させることが可能となっている。

【0042】ゲート絶縁膜4iは、例えばSiO<sub>2</sub>からなる。ゲート電極4gは、導体層4g1と、その上部に形成されたシリサイド層4g2とを有している。導体層4g1は、例えば低抵抗ポリシリコンからなり、シリサイド層4g2は、例えばタンゲステンシリサイドからなる。ゲート長は、例えば0.4μm程度である。

【0043】ゲート電極4gの側面には、LDD構造を形成するためのサイドウォール4SWが形成されている。サイドウォール4SWは、例えばSiO<sub>2</sub>からなる。

【0044】ところで、本実施の形態1においては、半導体基板2上全面に、例えば窒化シリコンからなる絶縁膜5が堆積されており、この絶縁膜5によって、上記したフィールド絶縁膜3、ソース領域4s、ドレイン領域4d、サイドウォール4SWおよびゲート電極4gが被覆されている。

【0045】すなわち、MOS・FET4の周りがほぼ完全に絶縁膜5によって囲まれている。これにより、半導体基板2上の層間絶縁膜中に存在するH<sup>+</sup>等がMOS・FET4のゲート絶縁膜4iに侵入するのを阻止することができる。このため、そのH<sup>+</sup>等に起因するホットキャリア効果を抑制することが可能となっている。この絶縁膜5の厚さは、例えば12nm程度である。

【0046】絶縁膜5上には、例えばBPSG（Boro Phospho Silicate Glass）等からなる層間絶縁膜6aが堆積されている。層間絶縁膜6aの上表面は、平坦化されている。層間絶縁膜6a上には、例えばアルミニウム（Al）-Si-銅（Cu）合金またはタンゲステン等からなる第1層配線7aが形成されている。

【0047】この第1層配線7aは、絶縁膜5および層間絶縁膜6aの所定位置に穿孔された接続孔8を通じてソース領域4sおよびドレイン領域4dと電気的に接続されている。

【0048】また、層間絶縁膜6a上には、例えばSiO<sub>2</sub>からなる層間絶縁膜6bが堆積されており、これによって第1層配線7aが被覆されている。この層間絶縁膜6bの上表面には、例えばAl-Si-Cu合金またはタンゲステン等からなる第2層配線7bが形成されるとともに、例えばSiO<sub>2</sub>からなる表面保護膜9が堆積されており、これによって第2層配線7bが被覆され

ている。

【0049】次に、本実施の形態1の半導体集積回路装置の製造方法を図3～図10によって説明する。

【0050】まず、図3に示すように、例えばp形Si単結晶からなる半導体基板2の素子分離領域にフィールド絶縁膜3をLOCOS (Local Oxidization of Silicon) 法等によって形成した後、そのフィールド絶縁膜3に囲まれた素子形成領域にゲート絶縁膜4iを熱酸化法等によって形成する。

【0051】続いて、半導体基板2上に、例えば低抵抗ポリシリコンからなる導体膜をCVD法等によって堆積した後、その導体膜をドライエッチング法等によってパターンニングすることにより、図4に示すように、ゲート絶縁膜4i上にゲート電極用の導体層4g1を形成する。

【0052】その後、この導体層4g1をイオン注入用のマスクとして、半導体基板2に、MOS・FETのソース領域およびドレイン領域の低濃度領域4s1, 4d1を形成するために、例えばn形不純物のリンまたはAsをイオン注入する。

【0053】次いで、半導体基板2上に、例えばSiO<sub>2</sub>からなる絶縁膜をCVD法等によって堆積した後、その絶縁膜を、例えばドライエッチング法等によってエッチバックすることにより、図5に示すように、ゲート電極用の導体層4g1の側面にサイドウォール4SWを形成する。

【0054】続いて、このサイドウォール4SWおよび導体層4g1をイオン注入用のマスクとして、半導体基板2に、MOS・FETのソース領域およびドレイン領域の高濃度領域を形成するために、例えばn形不純物のリンまたはAsをイオン注入する。

【0055】その後、半導体基板2に対して熱処理を施すことにより、図6に示すように、半導体基板2の上部に、ソース領域4sおよびドレイン領域4dの低濃度領域4s1, 4d1および高濃度領域4s2, 4d2を形成する。このようにして、LDD構造を有するMOS・FET4を形成する。

【0056】次いで、半導体基板2上に、例えばタングステン等のような高融点金属膜をスパッタリング法等によって堆積した後、半導体基板2に対して熱処理を施すことにより、その金属膜と半導体基板2および導体層4g1とが接触する部分でシリサイド反応を生じさせ、図7に示すように、ソース領域4s、ドレイン領域4dおよび導体層4g1の上部に、シリサイド層4s3, 4d3, 4g2を形成する。

【0057】続いて、図8に示すように、半導体基板2上全面に、例えば窒化シリコンからなる絶縁膜5をCVD法等によって堆積する。これにより、フィールド絶縁膜3、ソース領域4s、ドレイン領域4dおよびゲート電極4gの上面を被覆する。

【0058】その後、図9に示すように、絶縁膜5上に、例えばBPSG等からなる層間絶縁膜6aをCVD法等によって堆積した後、その上面をリフロ法、エッチバック法または化学研磨法 (CMP: Chemical Mechanical Polishing) あるいはこれらの組み合わせ等によって平坦にする。

【0059】次いで、層間絶縁膜6aおよび絶縁膜5の所定の位置に、ソース領域4sおよびドレイン領域4dが露出するような接続孔8をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0060】続いて、半導体基板2上に、例えばAl-Si-Cu合金またはタングステン等からなる金属膜をスパッタリング法等によって堆積した後、その金属膜をフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより、図10に示すように、第1層配線7aを形成する。

【0061】その後、図2に示したように、層間絶縁膜6a上に、例えばSiO<sub>2</sub>からなる層間絶縁膜6bをCVD法等によって堆積することにより、第1層配線7aを被覆する。

【0062】次いで、層間絶縁膜6b上に、例えばAl-Si-Cu合金またはタングステン等からなる金属膜をスパッタリング法等によって堆積した後、その金属膜をフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより、第2層配線7bを形成する。

【0063】続いて、層間絶縁膜6b上に、例えばSiO<sub>2</sub>からなる表面保護膜9をCVD法等によって堆積することにより、第2層配線7bを被覆する。このようにして、半導体集積回路装置のウエハプロセスを終了する。

【0064】次に、このような窒化シリコンからなる絶縁膜5を設けた場合と設けない場合とのホットキャリア効果を比較する図を図11に示す。△点による直線が本実施の形態1、○点による直線が窒化膜が無い場合を示している。

【0065】本実施の形態1の場合、ホットキャリア効果による製品寿命が、窒化膜を用いない場合に比べて、約3～4倍程度伸びる。すなわち、それだけ長く、ホットキャリア効果による製品寿命の劣化を抑制することが可能である。

【0066】このように本実施の形態1によれば、以下の効果を得ることが可能となる。

【0067】(1). 窒化シリコン等からなる絶縁膜5を、半導体基板2上のMOS・FET4の周りを完全に取り囲むように半導体基板2上全面に堆積したことにより、層間絶縁膜6a, 6b等に含まれるH<sup>+</sup>等がMOS・FET4のゲート絶縁膜4iに侵入するのを阻止することができる。このため、そのH<sup>+</sup>等に起因するホットキャリア効果を抑制することが可能となる。

【0068】(2).上記(1)により、MOS・FET4のしきい値電圧や電流利得等のような素子特性が変動するのを抑えることが可能となる。したがって、MOS・FET4を有するマイクロプロセッサ1の歩留まり、再現性および信頼性を向上させることが可能となる。

【0069】(3).上記(1)により、MOS・FET4におけるドレイン領域4dのチャネル領域4c側端部に低濃度領域4d1を形成する場合でも、H<sup>+</sup>等に起因するホットキャリア効果を抑制できる分、その低濃度領域4d1の不純物濃度を比較的高めに設定することができ、このため、MOS・FET4におけるソース領域4sおよびドレイン領域4d間の抵抗を下げるので、MOS・FET4の電流駆動能力を向上させることが可能となる。したがって、MOS・FET4を有するマイクロプロセッサ1の動作速度を向上させることが可能となる。

【0070】(実施の形態2)図12は本発明の他の実施の形態である半導体集積回路装置の構成を説明するための説明図、図13は図12のメモリ領域の構成を説明するための説明図、図14は図12の半導体集積回路装置の要部断面図である。

【0071】本実施の形態2においては、本発明を、例えばワンチップマイコンに適用した場合について説明する。このワンチップマイコンを図11に示す。

【0072】ワンチップマイコン10は、中央処理部CPU (Central Processor Unit) を中心として、フラッシュメモリ部FLMと、割込みコントローラINTC (Interrupt Controller) と、入出力ポートI/Oと、タイマTと、アナログ・デジタル変換器A/D等のような各種の周辺器等を1つの半導体チップ内に有している。

【0073】この中央処理部CPUは、所定の演算処理を行う回路である。フラッシュメモリ部FLMは、プログラムを記憶する比較的大容量のメモリである。割込みコントローラINTCは、プログラムの実行途中で他のプログラムを実行する回路である。

【0074】入出力ポートI/Oは、外部の周辺機器との接続を行い、データを読み込んだり、演算結果等を外部へ伝達したりする回路である。タイマTは、各動作の同期を取るためのタイミング信号を発生したり、時間経過を測定したりするための回路である。アナログ・デジタル変換器A/Dは、アナログ信号とデジタル信号との変換を行う回路である。

【0075】次に、このようなワンチップマイコン10のフラッシュメモリ部FLMの構成を図13によって説明する。なお、図13において、Vccは電源電位、Vssは接地電位を示している。

【0076】フラッシュメモリ部FLMのメモリセル領域Mには、後述する複数の不揮発性メモリセル（以下、単にメモリセルという）が規則的に配置されている。

【0077】このメモリセルは、High（以下、単に“H”と略す）信号レベルまたはLow（以下、単に“L”と略す）信号レベルの2値データのうち、いずれか一方を記憶するメモリの最小単位である。

【0078】ロウアドレスバッファ回路XADBは、ロウアドレス信号AXを所定のタイミングで取り込み保持するとともに、そのロウアドレス信号AXを基にして内部ロウアドレス信号を形成し、それをロウアドレスデコード回路XDCRに供給する回路である。

【0079】ロウアドレスデコード回路XDCRは、ロウアドレスバッファ回路XADBからの内部ロウアドレス信号を受けて所定の1本のワード線を選択する回路である。なお、Vrw、Vww、Vwv、Vew、Vevは、内蔵電源回路VSから供給された内蔵電圧である。

【0080】カラムアドレスバッファ回路YADBは、カラムアドレス信号AYを所定のタイミングで取り込み保持するとともに、そのカラムアドレス信号AYを基にして内部カラムアドレス信号を形成し、それをカラムアドレスデコード回路YDCRに供給する回路である。

【0081】また、カラムアドレスデコード回路YDCRは、カラムアドレスバッファ回路YADBからの内部カラムアドレス信号を受けてカラムゲートアレイ回路YGを介して最終的に所定の1本のメインビット線を選択する回路である。

【0082】データラッチ回路DRは、書き込みデータまたは読み出しデータを一時的に保持する回路である。また、センスアンプ回路SAは、メインビット線に伝送された微小電圧（または電流）を検知して増幅する回路であり、カラムゲートアレイ回路YGを介してデータ出力バッファ回路DOBおよびデータ入力バッファ回路DIBと電気的に接続されている。なお、Vrd、Vwdは、内蔵電源回路VSから供給された内蔵電圧である。

【0083】データ出力バッファ回路DOBは、メモリセルから読み出された信号を途中の配線経路で減衰させずに外部装置に伝送できるように増幅するための回路であり、マルチプレクサ回路MPを介して外部入出力端子I/Oと電気的に接続されている。

【0084】また、データ入力バッファ回路DIBは、外部から伝送された書き込みデータの入力信号を内部回路に合った電位に設定するための回路であり、マルチプレクサ回路MPを介して外部入出力端子I/Oと電気的に接続されている。

【0085】モードコントロール回路MCは、コントロール信号バッファ回路CSBから供給されるコントロール信号に基づいて、書き込み、消去および読み出し等のモードの動作を制御する回路であり、ロウアドレスバッファ回路XADB、カラムアドレスバッファ回路YADB、データ入力バッファ回路DIB、データ出力バッファ回路DOB、ソース・ウエル電位切り換え回路SVCおよび外部端子R/B等と電気的に接続されている。



【0086】なお、 $V_{ec}$ は、内蔵電源回路VSから供給された内蔵電圧を示している。また、 $\text{／CE}$ 、 $\text{／O E}$ 、 $\text{／WE}$ 、 $\text{SC}$ は、チップイネーブル信号、アウトプットイネーブル信号、ライトイネーブル信号等のようなコントロール用の信号を伝送するためのコントロール信号端子を示している。この“／”はアクティブラウ (Active Low) 信号を意味する。

【0087】次に、本実施の形態2のワンチップマイコン10のフラッシュメモリ部FLMにおける要部断面図を図14に示す。

【0088】半導体基板2は、例えばp形 $\text{Si}$ 単結晶からなり、その上部の素子分離領域には、フィールド絶縁膜3が形成されている。このフィールド絶縁膜3は、例えば $\text{SiO}_2$ からなり、これに囲まれた素子形成領域に二層ゲート電極構造を有するメモリセルMCが形成されている。

【0089】メモリセルMCを構成するソース領域4sおよびドレイン領域4dは、半導体基板2の上部に、例えばn形不純物のリンまたはAsが導入されて構成されている。なお、ソース領域4sおよびドレイン領域4dの上部には、例えばタングステンシリサイドからなるシリサイド層4s3、4d3が形成されている。

【0090】メモリセルMCを構成するフローティングゲート電極（浮遊ゲート電極）4fは、情報の記憶に寄与する電荷を蓄積するための電極であり、例えば低抵抗ポリシリコンからなる。なお、フローティングゲート電極4fは、ゲート絶縁膜4i上に形成されている。このゲート絶縁膜4iは、例えば $\text{SiO}_2$ からなる。

【0091】また、メモリセルMCを構成するコントロールゲート電極（制御ゲート電極）4cgは、フローティングゲート電極4fに電荷を注入したり、フローティングゲート電極4fの電荷を半導体基板2側に放出したりする際に、その電荷の移動を制御するための電極であり、導体層4cg1とその上層に形成されたシリサイド層4cg2とから構成されている。

【0092】この導体層4cg1は、例えば低抵抗ポリシリコンからなり、シリサイド層4cg2は、例えばタングステンシリサイドからなる。このコントロールゲート電極4cgは、フローティングゲート電極4f上に、例えば $\text{SiO}_2$ からなる絶縁膜4i2を介して形成されている。

【0093】なお、フローティングゲート電極4fおよびコントロールゲート電極4cgの側面には、例えば $\text{SiO}_2$ からなるサイドウォール4SWが形成されている。

【0094】ところで、本実施の形態2においても、半導体基板2上全面に、例えば窒化シリコンからなる絶縁膜5が堆積されており、この絶縁膜5によって、上記したフィールド絶縁膜3、ソース領域4s、ドレイン領域4d、サイドウォール4SWおよびコントロールゲート

電極4cgが被覆されている。

【0095】すなわち、メモリセルMCの周りがほぼ完全に絶縁膜5によって囲まれている。これにより、半導体基板2上の層間絶縁膜6a、6b中に存在する $\text{H}^+$ 等がメモリセルMCのゲート絶縁膜4iに侵入するのを阻止することができる。このため、その $\text{H}^+$ 等起因するホットキャリア効果を抑制することが可能となっている。この絶縁膜5の厚さは、例えば12nm程度である。

10 【0096】このような半導体基板2上には層間絶縁膜6aが堆積されている。この層間絶縁膜6aは、例えば $\text{SiO}_2$ からなり、その上面には、メインビット線BLが形成されている。このメインビット線BLは、例えばAl-Si-Cu合金からなり、層間絶縁膜6aに穿孔された接続孔8を通じてドレイン領域4dと電氣的に接続されている。

20 【0097】層間絶縁膜6a上には、層間絶縁膜6bが堆積されている。層間絶縁膜6bは、例えば $\text{SiO}_2$ からなり、これによってメインビット線BLが被覆されている。層間絶縁膜6b上には、ワード線WLが形成されている。

【0098】ワード線WLは、例えばAl-Si-Cu合金からなり、層間絶縁膜6bに穿孔された接続孔を通じてコントロールゲート電極4cgと電氣的に接続されている。なお、このワード線WLは、層間絶縁膜6b上に堆積された、例えば $\text{SiO}_2$ からなる表面保護膜9によって被覆されている。

【0099】このように、本実施の形態2においては、以下の効果を得ることが可能となる。

30 【0100】(1). 窒化シリコン等からなる絶縁膜5を、半導体基板2上のメモリセルMCの周りを完全に囲むように半導体基板2上全面に堆積したことにより、層間絶縁膜6a、6b等に含まれる $\text{H}^+$ 等がメモリセルMCのゲート絶縁膜4iに侵入するのを阻止することができる。このため、その $\text{H}^+$ 等起因するホットキャリア効果を抑制することが可能となる。

40 【0101】(2). 上記(1)により、メモリセルMCのしきい値電圧や電流利得等のような素子特性が変動するのを抑えることが可能となる。このため、フラッシュメモリFLMの書き込み／消去特性やデータ保持特性を向上させることが可能となる。したがって、ワンチップマイコン10の歩留まり、再現性および信頼性を向上させることが可能となる。

【0102】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態1、2に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

50 【0103】例えば前記実施の形態1、2においては、ソース領域、ドレイン領域およびゲート電極の上部にシ

リサイド層を設ける技術について説明したが、これに限定されるものではなく種々変更可能であり、例えばタングステン等のような高融点金属をソース領域、ドレイン領域およびゲート電極の上部に設けても良い。その形成方法としては、高融点金属を、例えば半導体の露出部分に選択的にCVD法で被着する、いわゆる選択CVD法によって被着することで形成する方法等がある。

【0104】また、前記実施の形態1、2では、半導体基板上の全面に窒素を含む絶縁膜を堆積した場合について説明したが、これに限定されるものではなく、例えば窒素を含む絶縁膜を、MOS・FETのみまたはメモリセルのみを覆うように、すなわち、ソース領域、ドレイン領域およびそれらの間のゲート電極（フローティングゲート電極およびコントロールゲート電極を含む）を覆うように形成しても良い。

【0105】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロプロセッサまたはワンチップマイコン技術に適用した場合について説明したが、それに限定されるものではなく、例えば他の論理回路、DRAM (Dynamic Random Access Memory) やSRAM (Static Random Access Memory) 等のような他の半導体メモリ回路または単体フラッシュメモリ (EEPROM) 回路等のような他の半導体集積回路装置に適用できる。本発明は、少なくともMIS・FET構造の半導体集積回路素子を有する半導体集積回路装置に適用できる。

【0106】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0107】(1). 本発明の半導体集積回路装置の製造方法によれば、MIS・FET構造の半導体集積回路素子のゲート電極を形成した後、半導体基板上の少なくともMIS・FET構造の半導体集積回路素子全体を被覆するように、窒素を含有する絶縁膜を形成することにより、その絶縁膜でMIS・FET構造の半導体集積回路素子全体を被覆することができるので、層間絶縁膜等に含まれるH<sup>+</sup>等がMIS・FET構造の半導体集積回路素子のゲート絶縁膜に侵入するのを阻止することができる。このため、そのH<sup>+</sup>等起因するホットキャリア効果を抑制することができるので、MIS・FET構造の半導体集積回路素子のしきい値電圧や電流利得等のような素子特性の変動を抑えることが可能となる。したがって、MIS・FET構造の半導体集積回路素子を有する半導体集積回路装置の歩留まり、再現性および信頼性を向上させることが可能となる。

【0108】(2). 本発明の半導体集積回路装置の製造方法によれば、MIS・FET構造の半導体集積回路素子におけるゲート電極の側壁に側壁絶縁膜を形成した後、その側壁絶縁膜を含む半導体基板上の少なくともMIS

・FET構造の半導体集積回路素子全体を被覆するように窒素を含有する絶縁膜を形成することにより、層間絶縁膜等に含まれるH<sup>+</sup>等がMIS・FET構造の半導体集積回路素子のゲート絶縁膜に侵入するのを阻止することができるので、そのH<sup>+</sup>等起因するホットキャリア効果を抑制することができる。したがって、MIS・FET構造の半導体集積回路素子におけるドレイン領域のチャネル側端部に低濃度領域を形成する場合でも、H<sup>+</sup>等起因するホットキャリア効果を抑制できる分、その低濃度領域の不純物濃度を比較的高めに設定することができる。したがって、MIS・FET構造の半導体集積回路素子におけるソース領域およびドレイン領域間の抵抗を下げることができるので、その半導体集積回路素子の電流駆動能力を向上させることが可能となる。したがって、MIS・FET構造の半導体集積回路素子を有する半導体集積回路装置の動作速度を向上させることが可能となる。

【0109】(3). 本発明の半導体集積回路装置によれば、半導体基板上の少なくともMIS・FET構造の半導体集積回路素子全体を被覆するように窒素を含有する絶縁膜を形成したことにより、層間絶縁膜等に含まれるH<sup>+</sup>等がMIS・FET構造の半導体集積回路素子のゲート絶縁膜に侵入するのを阻止することができる。このため、そのH<sup>+</sup>等起因するホットキャリア効果を抑制することができるので、MIS・FET構造の半導体集積回路素子のしきい値電圧や電流利得等のような素子特性の変動を抑えることが可能となる。したがって、MIS・FET構造の半導体集積回路素子を有する半導体集積回路装置の歩留まり、再現性および信頼性を向上させることが可能となる。

【0110】(4). 本発明の半導体集積回路装置によれば、MIS・FET構造の半導体集積回路素子におけるゲート電極の側壁の側壁絶縁膜を含む半導体基板上の少なくとも前記MIS・FET構造の半導体集積回路素子全体を被覆するように窒素を含有する絶縁膜を設けたことにより、層間絶縁膜等に含まれるH<sup>+</sup>等がMIS・FET構造の半導体集積回路素子のゲート絶縁膜に侵入するのを阻止することができるので、そのH<sup>+</sup>等起因するホットキャリア効果を抑制することができる。したがって、MIS・FET構造の半導体集積回路素子におけるドレイン領域のチャネル側端部に低濃度領域を設ける場合でも、H<sup>+</sup>等起因するホットキャリア効果を抑制できる分、その低濃度領域の不純物濃度を比較的高めに設定することができる。したがって、MIS・FET構造の半導体集積回路素子におけるソース領域およびドレイン領域間の抵抗を下げることができるので、その半導体集積回路素子の電流駆動能力を向上させることが可能となる。したがって、MIS・FET構造の半導体集積回路素子を有する半導体集積回路装置の動作速度を向上させることが可能となる。

【0111】(5). 本発明の半導体集積回路装置によれば、半導体基板上の少なくともMIS・FET構造の不揮発性メモリセルの全体を被覆するように窒素を含有する絶縁膜を設けたことにより、層間絶縁膜等に含まれるH<sup>+</sup>等がその不揮発性メモリセルのゲート絶縁膜に侵入するのを阻止することができる。このため、そのH<sup>+</sup>等に起因するホットキャリア効果を抑制することができるので、その不揮発性メモリセルのしきい値電圧や電流利得等のような素子特性の変動を抑えることができる。したがって、その不揮発性メモリセルを有する半導体集積回路装置の書き込み/消去特性やデータ保持特性を向上させることが可能となる。

#### 【図面の簡単な説明】

【図1】本実施の形態1の半導体集積回路装置における構成の説明図である。

【図2】図1の半導体集積回路装置の要部断面図である。

【図3】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図4】図1の半導体集積回路装置の図3に続く製造工程中における要部断面図である。

【図5】図1の半導体集積回路装置の図4に続く製造工程中における要部断面図である。

【図6】図1の半導体集積回路装置の図5に続く製造工程中における要部断面図である。

【図7】図1の半導体集積回路装置の図6に続く製造工程中における要部断面図である。

【図8】図1の半導体集積回路装置の図7に続く製造工程中における要部断面図である。

【図9】図1の半導体集積回路装置の図8に続く製造工程中における要部断面図である。

【図10】図1の半導体集積回路装置の図9に続く製造工程中における要部断面図である。

【図11】図1の半導体集積回路装置と窒素を含有する絶縁膜を設けない技術とのホットキャリア効果を比較するグラフ図である。

【図12】本発明の他の実施の形態である半導体集積回路装置の構成を説明するための説明図である。

【図13】図12のメモリ領域の構成を説明するための説明図である。

【図14】図12の半導体集積回路装置の要部断面図である。

#### 【符号の説明】

- 1 マイクロプロセッサ (半導体集積回路装置)
- 2 半導体基板
- 3 フィールド絶縁膜
- 4 MOS・FET
- 4 s ソース領域
- 4 s 1 低濃度領域
- 4 s 2 高濃度領域

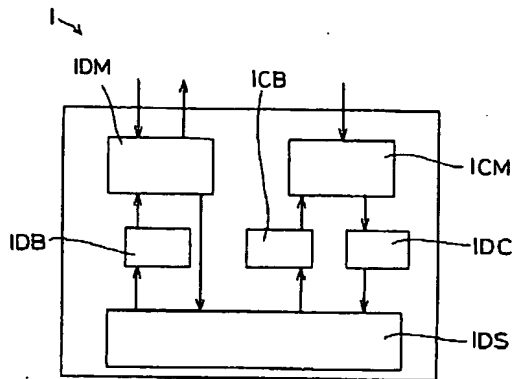
- 4 s 3 シリサイド層
- 4 d ドレイン領域
- 4 d 1 低濃度領域
- 4 d 2 高濃度領域
- 4 d 3 シリサイド層
- 4 c チャンネル領域
- 4 g ゲート電極
- 4 g 1 導体層
- 4 g 2 シリサイド層
- 4 i ゲート絶縁膜
- 4 i 2 絶縁膜
- 4 SW サイドウォール (側壁絶縁膜)
- 4 f フローティングゲート電極 (浮遊ゲート電極)
- 4 c g コントロールゲート電極 (制御ゲート電極)
- 4 c g 1 導体層
- 4 c g 2 シリサイド層
- 5 絶縁膜
- 6 a, 6 b 層間絶縁膜
- 7 a 第1層配線
- 7 b 第2層配線
- 8 接続孔
- 9 表面保護膜
- 10 ワンチップマイコン (半導体集積回路装置)
- 1CM Cキャッシュメモリ
- 1DC デコーダ回路
- 1DS データストラクチャクロセル
- 1DM Dキャッシュメモリ
- 1CB, 1DB バッファ回路
- CPU 中央処理部
- FLM フラッシュメモリ部
- INTC 割込みコントローラ
- I/O 入出力ポート
- I/O T 外部入出力端子
- T タイマ
- A/D アナログ・デジタル変換器
- M メモリセル領域
- MC メモリセル
- WL ワード線
- BL メインビット線
- 40 XADB ロウアドレスバッファ回路
- AX ロウアドレス信号
- XDCR ロウアドレスデコーダ回路
- Vrw, Vww, Vwv, Vew, Vev, Vrd, Vwd, Vee 内蔵電圧
- VS 内蔵電源回路
- YADB カラムアドレスバッファ回路
- AY カラムアドレス信号
- YDCR カラムアドレスデコーダ回路
- YG カラムゲートアレイ回路
- 50 DR データラッチ回路

17

SA センスアンプ回路  
 DOB データ出力バッファ回路  
 DIB データ入力バッファ回路  
 MP マルチプレクサ回路  
 MC モードコントロール回路

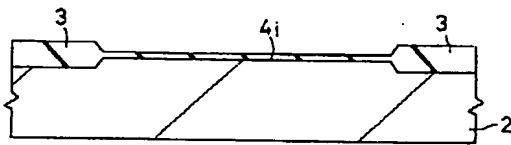
【図 1】

図 1



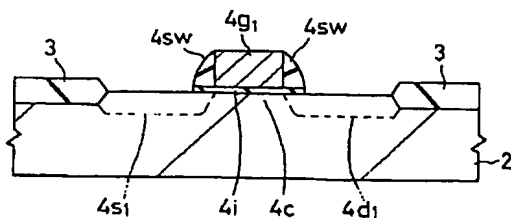
【図 3】

図 3



【図 5】

図 5

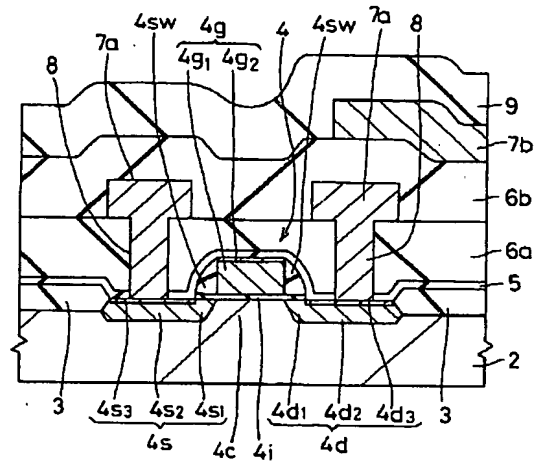


18

CSB コントロール信号バッファ回路  
 SVC ソース・ウェル電位切り換え回路  
 R/B 外部端子  
 /CE, /OE, /WE, SC コントロール信号端子

【図 2】

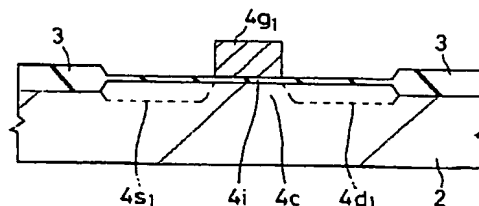
図 2



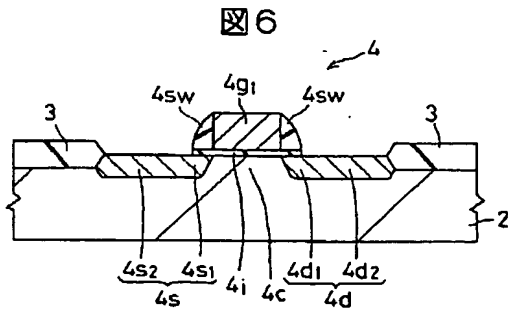
2: 半導体基板  
 4: MOS・FET  
 4s: ソース領域  
 4d: ドレイン領域  
 4c: チャネル領域  
 4i: ゲート絶縁膜  
 4g: ゲート電極  
 4g1: シリサイド層  
 4sw: サイドウォール (側壁絶縁膜)  
 6a: 層間絶縁膜  
 6b: 層間絶縁膜  
 7a: 第1層配線  
 7b: 第2層配線

【図 4】

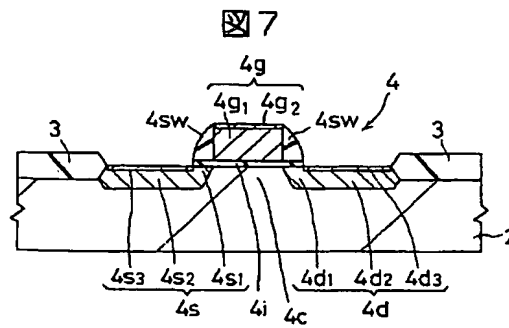
図 4



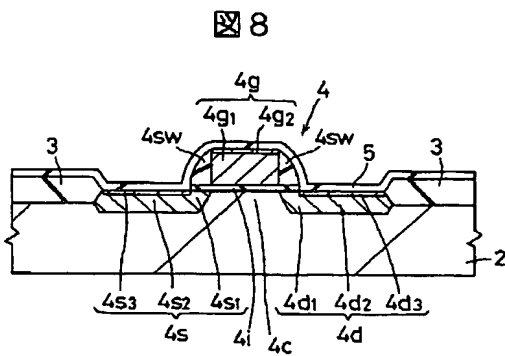
【図 6】



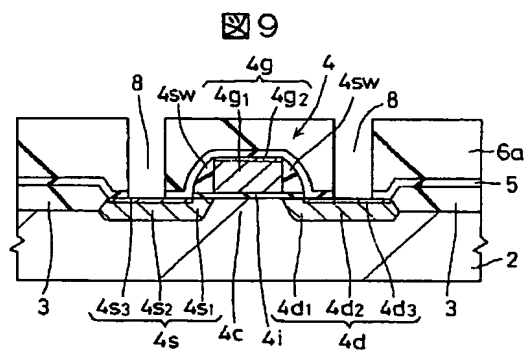
【図 7】



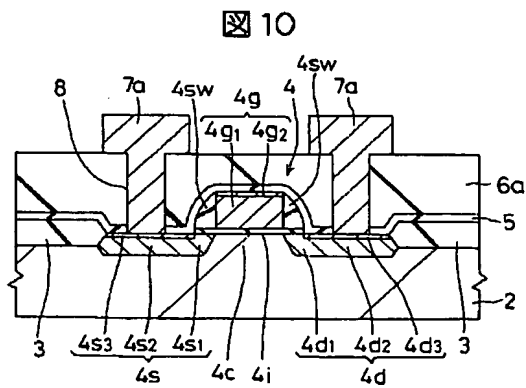
【図 8】



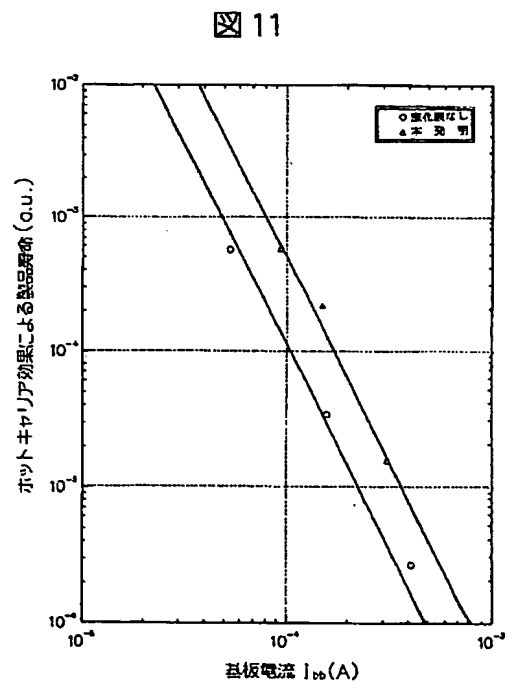
【図 9】



【図 10】

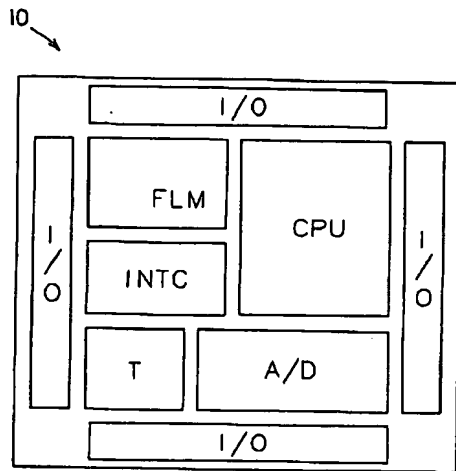


【図 11】



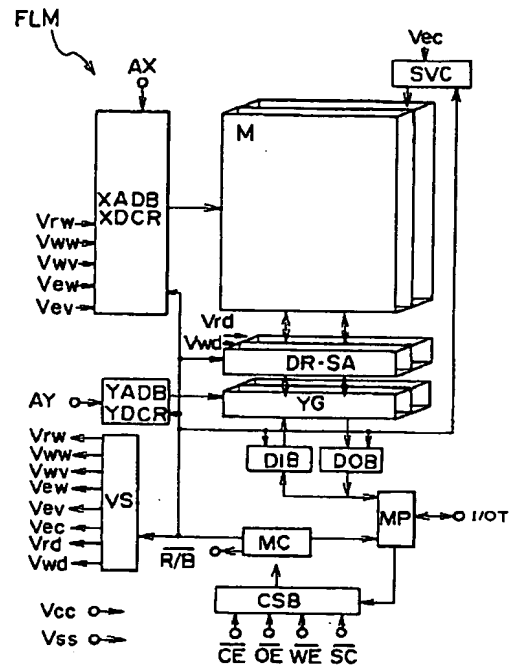
【図 12】

図 12



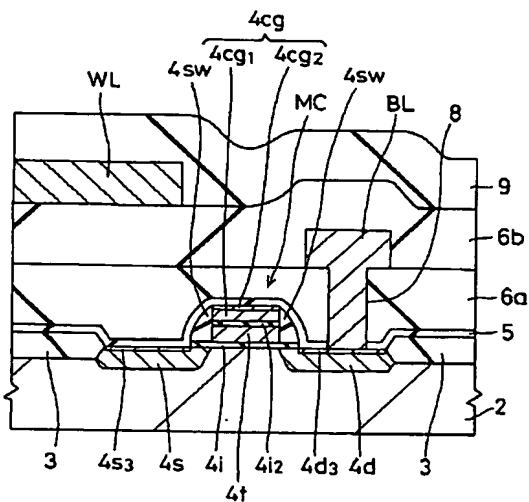
【図 13】

図 13



【図 14】

図 14



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/8247

29/788

29/792

識別記号

序内整理番号

F I

技術表示箇所

(72)発明者 竹田 敏文  
東京都小平市上水本町 5 丁目 20 番 1 号 株  
式会社日立製作所半導体事業部内